

AA

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-177126
 (43)Date of publication of application : 13.07.1989

(51)Int.CI. G06F 9/34
 G06F 12/08

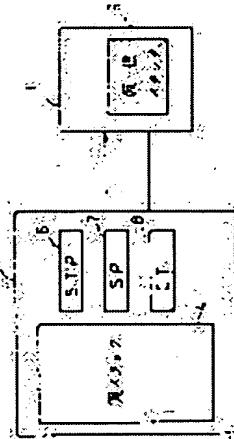
(21)Application number : 63-000680 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 07.01.1988 (72)Inventor : SHIRASHI ATSUSHI

(54) VIRTUAL STACK CONTROL SYSTEM

(57)Abstract:

PURPOSE: To eliminate the interruption of a stack access and to transfer data at a high speed by saving and restoring the data before the data storing state reaches the upper or lower limit of the stack capacity in a real stack.

CONSTITUTION: A virtual stack device 3 contains a circulating stack 4 where the data storing state is circulated, a stack top pointer 6 showing the position of the latest data on the stack 4, a counter 8 showing the number of effective data in the stack 4, and a stack pointer 7 showing the latest position of the data transferred from the stack 4 of a virtual stack 9 in a main memory 1. Then the data are saved or restored to the memory 1 in accordance with the value of the counter 8 and before the data in the stack 4 reaches the upper or lower limit of the stack capacity. In such a way, the interruption of a stack access is evaded and the data can be processed at a high speed for a virtual stack device.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑪ 公開特許公報 (A)

平1-177126

⑤ Int. Cl. 4

G 06 F 9/34
12/08

識別記号

340

庁内整理番号

B-7361-5B
U-7010-5B

⑩ 公開 平成1年(1989)7月13日

審査請求 未請求 請求項の数 1 (全5頁)

⑪ 発明の名称 仮想スタック制御方式

⑪ 特願 昭63-680

⑪ 出願 昭63(1988)1月7日

⑪ 発明者 白石 淳 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑪ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑪ 代理人 弁理士 青木 朗 外3名

明細書

1. 発明の名称

仮想スタック制御方式

2. 特許請求の範囲

1. 中央処理装置と主記憶装置を仮想スタック装置を有するデータ処理装置における仮想スタック制御方式において、

前記仮想スタック装置(3)は、データの格納状態が循環する循環型スタック(4)と、

前記循環型スタックの最新のデータ位置を示すスタックトップポインタ(6)と、

前記循環型スタック内の有効データ数を示すカウンタ(8)と、

前記主記憶装置(1)内の仮想スタック(9)における前記循環型スタックから転送されたデータの最新位置を示すスタックポインタ(7)とを備え、

前記カウンタの値に応じて前記循環型スタック内のデータがスタック容量の上限もしくは下限に達する以前に、主記憶装置との間でデータの退避

もしくは復元するようにしたことを特徴とする仮想スタック制御方式。

3. 発明の詳細な説明

(概要)

この発明は中央処理装置と主記憶装置と仮想スタック装置により構成されるデータ処理装置における実スタックと仮想スタック間のデータ転送を制御する仮想スタック制御方式に関し、

実スタック内のデータ格納状態がスタック容量の上限もしくは下限に達する以前にデータの退避、復元処理を行なうことにより、スタックアクセスの中止をなくし、高速の転送処理を行なうことの目的とし、

前記仮想スタック装置は、データの格納状態が循環する循環型スタックと、前記循環型スタックの最新データ位置を示すスタックポインタと、前記循環型スタック内の有効データ数を示すカウンタと、前記主記憶装置内の仮想スタックにおける前記循環型スタックから転送されたデータの最新位置を示すスタックポインタとを備え、前記カウ

ンタの値に応じて前記循環型スタック内のデータがスタック容量の上限もしくは下限に達する以前に主記憶装置との間でデータの退避、復元するよう構成する。

(産業上の利用分野)

本発明は仮想スタック制御方式に関する。一般に、高水準言語のデータ処理系では、式の処理、手続き等オペレーティングシステム(OS)のローカル処理や作業領域の管理のためにスタックが多用され、高水準言語向きの計算機ではスタック機構を中心とする制御構造を有している。これらのスタックは主記憶装置内に配置されるか若しくは主記憶装置とは独立に設けられる。特に独立に設けられた場合には高速動作が可能であるが、スタックの容量がハードウェア的に制限されるため大きなスタック容量が必要とされる場合には仮想スタック装置が独立に設けられる。

ク4においてスタックへの書き込みが“0”から進行し上限の“n-1”に達すると次に仮想スタック5のn～2n-1の部分領域5nが割り付けられ、以下同様に部分領域が使用される。一方、実スタック4からの読み出しが行なわれ、その下限に達したときは上記と逆の割付け変更が行なわれる。

(発明が解決しようとする課題)

上記のような従来の仮想スタック装置では、スタックアクセスが行なわれた時に、実スタック4内において書き込み時の上限あるいは読み出しが下限に到達しているか否かのチェックがなされ、この時点で仮想スタック領域が残っていないことが確認されてはじめて実スタックの入れ換え、即ち仮想スタックの部分領域の割付けを変更するため、仮想スタック装置と主記憶装置との間でスタック内容の退避、復元処理が行なわれ、その間スタックアクセスが待機させられるという問題点があった。

本発明の目的は、上述の問題点に鑑み、実スタ

(従来の技術)

第4図は従来の仮想スタック装置を備えたデータ処理装置の構成例を示す。図において、1は主記憶装置、2は中央処理装置、3は仮想スタック装置である。仮想スタック装置3は更に複数のプロセスに対応する複数の仮想スタック装置で構成することもできる。この場合には中央処理装置2は実行するプロセスの番号に応じて特定の仮想スタックを選択し、更に中央処理装置2からスタックポインタで指示されたスタックアドレスにおいて、書き込みあるいは読み出しが行なわれる。

第5図は第4図に示す仮想スタック装置3内の仮想スタックと実スタックとの対応を表わす構成図である。図において、4は容量nの実スタック5は容量m×n(mは2以上の整数)の仮想スタックである。仮想スタック5の領域は実スタック4の容量nを単位としてm個の部分領域に分割され、順次実スタックに割り付けられる。即ち、最初、仮想スタック5の0～n-1の部分領域5aが実スタック4に割り付けられ、実フィードバッ

ク内データ格納状態が上限もしくは下限に達する以前にデータの退避、復元処理を行なうことによって、スタックアクセスの中断をなくし、高速処理が可能な仮想スタック装置を実現することにある。

(課題を解決するための手段)

第1図は本発明に係る仮想スタック制御方式の原理構成図である。本発明では中央処理装置と主記憶装置と仮想スタック装置とを有するデータ処理装置において、前記仮想スタック装置3は、データのデータ格納状態を循環させることができる循環型実スタック4と、前記循環型実スタックの最新データ位置を示すスタックトップポインタ6と、前記主記憶装置内に設けられた仮想スタック内の最新データ位置を示すスタックポインタ7と、前記循環型実スタック内の有効データを示すカウンタ8とを備える。

(作用)

このような構成において、実スタックをアクセスするたびごとに、これと同期してカウンタを更新し、このカウンタ値が設定された上限に達すると、実スタック内のデータの古いものから一定数を主記憶装置内の仮想スタックへ退避するとともに、スタックポインタにこの一定数を加え、カウンタからはこの一定数を減じる。また、このカウンタ値が設定された下限値に達し、かつ実スタック内に退避されたデータであれば実スタックから一定数のデータを仮想スタックへ復元するとともに、スタックポインタからこの一定値を減じカウンタにはこの一定数を加える。このように実スタックのスタック状態が上限もしくは下限に達する以前にデータの退避、復元を行なうことによってスタックアクセスの中断をなくし、高速処理が可能な仮想スタック装置を実現する。

(実施例)

第2図(a)～(f)は本発明に係る仮想スタック

制御方式を説明する図である。本実施例では第1図に示す仮想スタック装置3内の実スタック4は高速小容量のメモリで構成され、主記憶装置1内の仮想スタック9は低速大容量のメモリで構成される。仮想スタック装置3には実スタック4の最新データ位置を示すスタックトップポインタ(STP)6と、仮想スタック9上の最新データ位置を示すスタックポインタ(SP)7と、実スタック4内の有効データ数を示すカウンタ(CT)8を設ける。

第2図(a)～(f)の斜線部分は実スタック内のデータ格納状態の推移を一例として示し、この場合、実スタックは64語のメモリ容量を有するとする。第2図(a)は、データ格納状況の初期状態を示し、図中の矢印はこの実スタックが循環型であることを示している。このとき、スタックトップポインタは"63"、スタックポインタは"0"、カウンタは"0"を示している。この初期状態から実スタックへ入力がある度にSTPとCTは1づつ増加する。一方、実スタックから出力がある

度にSTPとCTから1づつ減じられる。第2図(b)では、最新データ位置が実スタックの番地15に入っており、従ってSTPは15を示している。この時点では仮想スタック9側にはまだデータは格納されていないのでスタックポインタSPは0であり、実スタック内の有効データ数を示すカウンタCTが16を示している。

このように増減を繰り返すうちに第2図(c)に示すようにCTが第1の設定値P₁(例えば48)になると実スタック4から仮想スタック9へのデータ転送が開始される。即ち、実スタック内のデータの古いものから一定数(例えば16語)を仮想スタック側に転送し、それに伴いSPとCTを更新する。従ってデータ転送直後の状態が第2図(d)となる。この場合、実スタック側ではSTPは変らずに47を示し、CTは48から16を減じて32となり、仮想スタック上の最新データ位置はSP=15となる。

同様に増減を繰り返すうちに第2図(e)に示すようにCTが第2の設定値P₂(例えば16語)にな

りかつ仮想スタック側にデータが格納されている状態になると仮想スタックから実スタックへの転送が行なわれる。即ち、仮想スタック内のデータの新しいものから一定数(例えば16語)を実スタック側へ転送し、それに伴いSPとCPは更新される。即ち、第2図(f)に示すように仮想スタックの格納状況を示すSPは0となり、カウンタCTは増加して32を示す。上述のデータ転送は中央処理装置2がバスを使用していない時間に通常の処理と並行して行なわれる。

第3図は本発明の処理フローチャートである。図に示すように、まず、実スタックのSTP, SP, CTの初期化が行なわれる(ステップS1)。この状態は第2図(a)に対応する。次にスタックの状態がデータの取り入れ(プッシュ)か、データの取り出し(ポップ)か判断される(ステップS2)。ポップPO場合には実スタック中にデータが空か否か判断され(ステップS3)、データが空でない(NO)の場合は実スタックからデータの読み出しが行なわれ(ステップS4)、STPとCT

は1づつ減少する(ステップS5, S6)。カウンタCTの減少が進行すると次にCTが下限に達したか否か判断され(ステップS7)、下限でないときはステップS2に戻る。下限のときは仮想スタックのPSが0か否か判断され(ステップS8)、データの読み出しが行なわれ(ステップS9)、STPは減少し(ステップS10)、CTは増加する(ステップS11)。

一方、ステップS2において、データの取り入れであるプッシュPUの場合には、実スタックは一杯か否か判断され(ステップS12)、充足されていないときは書き込みデータが取り込まれ(ステップS13)、STPは増加し(ステップS14)、CTも増加する(ステップS15)。そしてCTが上限に達したか否か判断され(ステップS16)、上限に達していないときはステップS2に戻る。一方、CTが上限に達したときは、SPが充足れているか判断され(ステップS17)、一杯でないときは仮想スタックへの書き込みが行なわれ(ステップS18)、SPは増加し(ステップS19)、

CTは減少する(ステップS20)。

(発明の効果)

以上説明したように、本発明によれば、スタックのアクセス時間は高速の実スタックに対するアクセス時間と同等となり、高速小容量の実スタックと低速大容量の仮想スタックを組み合わせて使用する場合に、データ転送におけるオーバヘッドを最小限に抑えることができる。

4. 図面の簡単な説明

第1図は本発明の原理構成図、

第2図は本発明の方式を説明する図、

第3図は本発明の処理フローチャート、

第4図はデータ処理装置の構成例、および

第5図は従来方式を説明する構成図である。

(符号の説明)

1…主記憶装置、

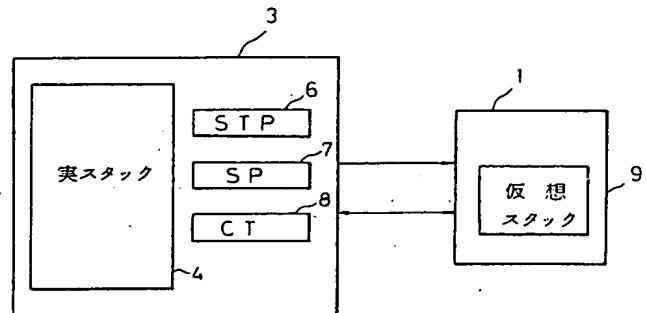
2…中央処理装置、

3…仮想スタック装置、

4…実スタック、

- 5…仮想スタック、
- 6…スタックトップポインタ、
- 7…スタックポインタ、
- 8…カウンタ、
- 9…仮想スタック。

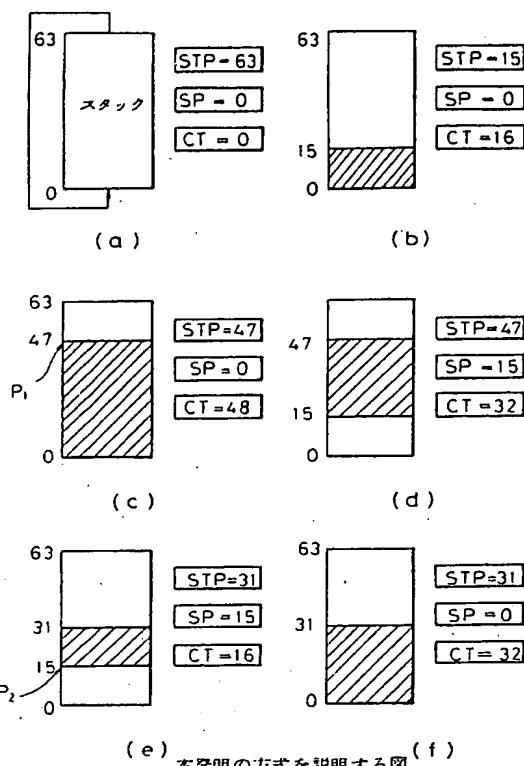
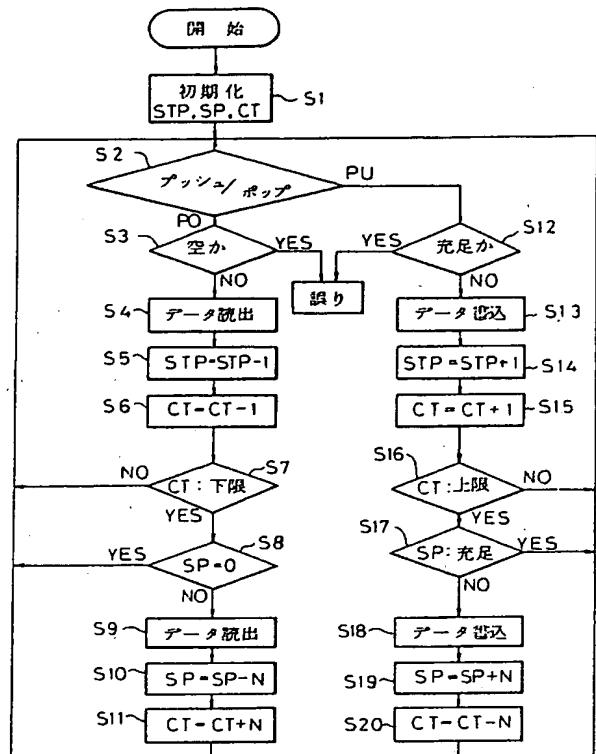
特許出願人
富士通株式会社
特許出願代理人
弁理士 青木 朗
弁理士 西館 和之
弁理士 内田 幸男
弁理士 山口 昭之



本発明の原理構成図

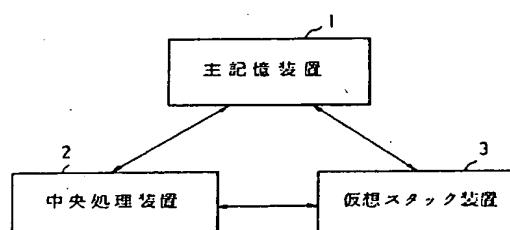
第1図

- 1…主記憶装置
- 3…仮想スタック装置
- 6…スタックトップポインタ
- 7…スタックポインタ
- 8…カウンタ

本発明の方式を説明する図
第 2 図

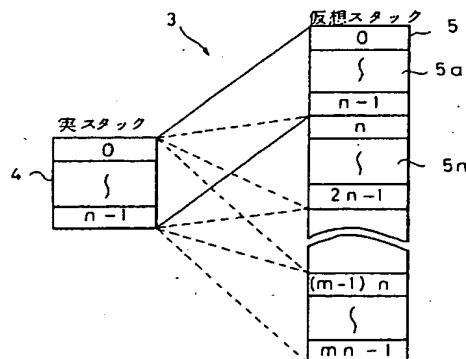
本発明の処理フローチャート

第 3 図



データ処理装置の構成例

第 4 図



従来方式を説明する構成図

第 5 図